

Docket No.: 60188-682

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

|  |   |                        |
|--|---|------------------------|
| In re Application of   | : | Customer Number: 20277 |
|  | : |                        |
| Yasuhiro SHIMADA, et al.   | : | Confirmation Number:   |
|  | : |                        |
| Serial No.:  | : | Group Art Unit:        |
|  | : |                        |
| Filed: October 17, 2003  | : | Examiner:              |
|  | : |                        |
| For: SEMICONDUCTOR MEMORY DEVICE AND ELECTRONIC APPARATUS<br>MOUNTING THE SAME | : |                        |

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-302611, filed October 17, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: October 17, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

60188-682  
SHIMADA  
October 17, 2003  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 1 7 日  
Date of Application:

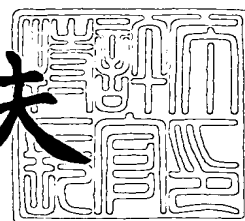
出 願 番 号                      特 願 2 0 0 2 - 3 0 2 6 1 1  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 0 2 6 1 1 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 3 3 7 5

【書類名】 特許願

【整理番号】 2925040043

【提出日】 平成14年10月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 嶋田 恭博

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 加藤 剛久

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 山田 隆善

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びそれが搭載された電子装置

【特許請求の範囲】

【請求項 1】 複数の論理値のうちのいずれか 1 つを記憶し、前記複数の論理値のうちの少なくとも 1 つの論理値に対しては異なる複数の残留分極の偏位が対応すると共に、前記複数の論理値のうち前記少なくとも 1 つの論理値以外の他の論理値に対しては前記複数の残留分極の偏位のいずれとも異なる他の残留分極の偏位が対応する強誘電体キャパシタと、

前記強誘電体キャパシタに対して、該強誘電体キャパシタを前記複数の残留分極の偏位及び前記他の残留分極の偏位のうちのいずれかの偏位にさせる書き込み電気パルスを印加して、前記強誘電体キャパシタに前記複数の論理値のうちのいずれか 1 つの論理値を書き込むデータ書き込み手段と、

前記強誘電体キャパシタに対して読み出し電気パルスを印加し、該読み出し電気パルスが印加されたときの前記強誘電体キャパシタの残留分極の偏位を検出し、前記強誘電体キャパシタに記憶されている論理値を読み出すデータ読み出し手段とを備えていることを特徴とする半導体記憶装置。

【請求項 2】 前記強誘電体キャパシタを前記複数の残留分極の偏位のうちのいずれかの偏位にさせるための前記書き込み電気パルスは、電位が互いに異なっていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記強誘電体キャパシタを前記複数の残留分極の偏位のうちのいずれかの偏位にさせるための前記書き込み電気パルスは、パルス幅が互いに異なっていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記他の残留分極の偏位が 1 つであるときには該偏位は零又は零の近傍であり、前記他の残留分極の偏位が複数であるときには該複数の偏位のうちの 1 つは零又は零の近傍であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記読み出し電気パルスは、該読み出し電気パルスが除去されたときに、前記強誘電体キャパシタの残留分極の偏位が前記読み出し電気パルスが印加される前の偏位に戻るような大きさに設定されていることを特徴とする請

求項 1 に記載の半導体記憶装置。

【請求項 6】 前記強誘電体キャパシタに直列に接続された容量負荷を備えており、

前記データ読み出し手段は、前記強誘電体キャパシタと前記容量負荷とからなる直列回路の両端に前記読み出し電気パルスを印加する手段を有し、

前記容量負荷は、前記読み出し電気パルスが除去されたときに、前記強誘電体キャパシタの残留分極の偏位が前記読み出し電気パルスが印加される前の偏位に戻るような大きさに設定されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記データ書き込み手段は、通常動作時には、前記強誘電体キャパシタを前記複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる書き込み電気パルスを印加する一方、特定の周期毎又は特定の動作状態に移行する直前には、前記強誘電体キャパシタを前記複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】 外部から入力されるか又は自ら発生したクロックパルスをカウントするクロックカウンタと、

前記クロックカウンタからの信号に基づき、特定の周期毎又は特定の動作状態に移行する直前に、前記データ書き込み手段に、前記強誘電体キャパシタを前記複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させる制御手段とを備えていることを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】 請求項 7 に記載の半導体記憶装置と、

システムの動作状況を監視しており、特定の周期毎又は特定の動作状態に移行する直前に、前記データ書き込み手段に、前記強誘電体キャパシタを前記複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるシステム制御装置とを備えていることを特徴とする電子装置。

【請求項 10】 請求項 7 に記載の半導体記憶装置と、

システムを駆動する電源を監視しており、前記電源からの電力供給が停止され

る直前又は前記電源が節約状態に移行する直前に、前記データ書き込み手段に、前記強誘電体キャパシタを前記複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる込み電気パルスを印加させるシステム制御装置とを備えていることを特徴とする電子装置。

【請求項 11】 前記電源は、一次電池又は二次電池であることを特徴とする請求項 10 に記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体キャパシタをメモリセルの一部に用いてデータを記憶する半導体記憶装置、及び該半導体記憶装置が搭載された電子装置に関する。

【0002】

【従来の技術】

強誘電体キャパシタとトランジスタとによって構成されるメモリセルを有する従来の半導体記憶装置としては、例えば図 10 に示すような構成のものが知られている。すなわち、図 10 に示すように、半導体記憶装置のメモリセルは、強誘電体キャパシタ 10 及びトランジスタ 20 を有し、強誘電体キャパシタ 10 は 200 nm の厚さを持つ  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  よりなる強誘電体膜を有している。強誘電体キャパシタ 10 の第 1 の電極 11 はトランジスタ 20 のソース 21 に接続され、強誘電体キャパシタ 10 の第 2 の電極 12 はセルプレート線 31 に接続されている。トランジスタ 20 のドレイン 22 はビット線 32 に接続され、トランジスタ 20 のゲート電極 23 はワード線 33 に接続されている。

【0003】

図 10 において、34 はワード線 33 を選択するワード線ドライバ (WLD) であり、35 はセルプレート線 31 を駆動するセルプレートドライバ (CPD) であり、36 はビット線 32 の電圧を差動増幅するセンスアンプ (SA) であり、37 はセンスアンプ 36 の差動増幅動作に必要な基準電圧発生回路 (RVG) であり、38 はビット線 32 の容量を回路記号で示したビット線容量である。

【0004】



尚、以下の説明においては、強誘電体キャパシタ 10 の第 1 の電極 11 と第 2 の電極 12 との間に電圧を印加したときに誘起される分極のうち、印加された電圧を除去した状態でも、強誘電体キャパシタ 10 に現われる分極のことを残留分極という。

#### 【0005】

図 11 は、図 10 に示すメモリセルに、データ “1” 及びデータ “0” を書き込んだ後、これらのデータを読み出す動作を行なう際の強誘電体キャパシタ 10 のヒステリシス曲線  $y$  を示している。図 10 に示すメモリセルにデータを書き込む場合、強誘電体キャパシタ 10 の第 1 の電極 11 に蓄積される電荷の符号がデータの書き込み後に負となると、強誘電体キャパシタ 10 の残留分極の偏位を図 11 における点  $p$  に対応させて、データ “0” が書き込まれたと約束し、また、強誘電体キャパシタ 10 の第 1 の電極 11 に蓄積される電荷の符号がデータの書き込み後に正となると、強誘電体キャパシタ 10 の残留分極の偏位を図 11 における点  $q$  に対応させて、データ “1” が書き込まれたと約束する。

#### 【0006】

##### <データ “1” の書き込み動作>

図 12 (a) は、メモリセルにデータ “1” を書き込むための各信号線の電位のタイミングを示している。すなわち、時刻  $T_1$  において、ワード線 33 の電位を L レベルから H レベルに立ち上げることで、トランジスタ 20 を ON にする。次に、時刻  $T_2$  において、ビット線 32 の電位を L レベルのままでセルプレート線 31 の電位を H レベルにして、強誘電体キャパシタ 10 に H-L の電位差を与えて、分極を上向きにすることにより、ビット線 32 にデータ “1” を書き込む。データ “1” を書き込む前の状態が仮にデータ “0” であっても、すなわち分極が下向きであっても、確実にデータ “1” に書き換えられるように、H-L の電位差は、強誘電体キャパシタ 10 の分極反転に必要な抗電圧  $V_c$  を十分に超えた値でなければならない。例えば、強誘電体キャパシタ 10 の強誘電体膜が 200 nm の厚さを有する  $SrBi_2Ta_2O_9$  膜である場合、強誘電体キャパシタ 10 の抗電圧はおよそ 1 V であるから、電位差 H-L が 5 V であれば、前記の要件を十分に満たす。

**【0007】****＜データ“0”の書き込み動作＞**

図12(b)は、メモリセルにデータ“0”を書き込むための各信号線の電位のタイミングを示している。すなわち、時刻T1において、ワード線33の電位を例えば0VのLレベルから例えば5VのHレベルに立ち上げることによりトランジスタ20をONにする。次に、時刻T2において、セルプレート線31の電位をHレベルにすると共にビット線32の電位をHレベル（データ“0”）にした後、時刻T3において、セルプレート線31の電位をLレベルに落とすことにより、強誘電体キャパシタ10にH-Lの電位差を与えて、分極を下向きにすることにより、ビット線32にデータ“0”を書き込む。データ“0”を書き込む前の状態が仮にデータ“1”であっても、すなわち分極が上向きであっても、前記の一連の操作によってデータ“0”に確実に書き換えられる。

**【0008】****＜データ“1”の読み出し動作＞**

図13(a)は、データ“1”が書き込まれたメモリセルの読み出し動作における各信号線の電位のタイミングを示している。

**【0009】**

データの読み出し時には、ビット線32の電位を予めLレベルにしておいてから、時刻t1において、ワード線33の電位をHレベルに立ち上げることによりトランジスタ20をONにする。

**【0010】**

次に、時刻t2において、セルプレート線31の電位をHレベルにする。このとき、ビット線32はセンスアンプ36に接続された状態になっており、ビット線容量38を付随している。このため、セルプレート線31から強誘電体キャパシタ10の容量及びビット線容量38を経て基板に至る直列容量結合が形成されていることになる。従って、セルプレート線31に印加された電圧の大部分が強誘電体キャパシタ10に印加される。この電圧は、抗電圧 $V_c$ よりも十分に高いが、データ“1”が書き込まれているときには残留分極が上向きに偏位しているので、分極偏位の相対的に小さい変化を伴ってビット線容量38を充電すること

になる。その結果、時刻  $t_3$  においては、ビット線 3 2 の電位は低く、高々 2 V 程度である。

#### 【0 0 1 1】

ここで、基準電圧発生回路 3 7 からセンスアンプ 3 6 に入力する信号を 2. 5 V として時刻  $t_3$  でセンスアンプ 3 6 を起動させると、ビット線 3 2 の電位は L レベルまで引き落とされ、ビット線 3 2 の電位が L レベルであること、すなわちデータ “1” が書き込まれていることが確定される。

#### 【0 0 1 2】

データ “1” の読み出し時においては、強誘電体キャパシタ 1 0 の残留分極は反転しないので、時刻  $t_4$  でセルプレート線 3 1 の電位を L レベルに落とし、時刻  $t_5$  でビット線 3 2 の電位を L レベルに落とし、時刻  $t_6$  でワード線 3 3 の電位を L レベルに落とすことにより、メモリセルのデータは読み出し前の状態に復帰する。

#### 【0 0 1 3】

＜データ “0” の読み出し動作＞

図 1 3 (b) は、データ “0” が書き込まれたメモリセルの読み出し動作における各信号線の電位のタイミングを示している。

#### 【0 0 1 4】

データの読み出し時には、ビット線 3 2 の電位を予め L レベルにしておいてから、時刻  $t_1$  において、ワード線 3 3 の電位を H レベルに立ち上げることによりトランジスタ 2 0 を ON にする。

#### 【0 0 1 5】

次に、時刻  $t_2$  でセルプレート線 3 1 の電位を H レベルにする。このとき、セルプレート線 3 1 に印加された電圧は、強誘電体キャパシタ 1 0 に印加される電圧とビット線容量 3 8 に印加される電圧とに分割される。

#### 【0 0 1 6】

ところが、通常、ビット線容量 3 8 の容量は、強誘電体キャパシタ 1 0 の容量の 5 倍から 1 0 倍程度であるから、セルプレート線 3 1 に印加された電圧の大部分は強誘電体キャパシタ 1 0 に印加されることになる。この電圧は、抗電圧  $V_c$

よりも十分に高いので、分極の向きは下向きから上向きに反転しながら、分極偏位の相対的に大きい変化を伴ってビット線容量 3 8 を充電することになる。この状態は、図 1 1 における、強誘電体キャパシタ 1 0 のヒステリシス曲線 y とデータ “0” の読み出し負荷線 r との交点の動きから理解できる。時刻 t 3 において、ビット線容量 3 8 の充電により、ビット線 3 2 の電位はほぼ 3 V 程度にまで上昇している。

#### 【0 0 1 7】

この状態で、基準電圧発生回路 3 7 からセンスアンプ 3 6 に入力する信号を 2 . 5 V として、時刻 t 3 でセンスアンプ 3 6 を起動させると、ビット線 3 2 の電位は H レベルまで増幅されるので、ビット線 3 2 の電位が H レベルであること、すなわちデータ “0” が書き込まれていることが確定される。

#### 【0 0 1 8】

ここで、ビット線 3 2 の電圧をラッチするとデータの読み出し動作は終了するが、前述のように、強誘電体キャパシタ 1 0 の残留分極は下向きから上向きに反転している。このため、この反転状態を元に戻すために、再書き込み動作を行なう。すなわち、図 1 3 (b) における時刻 t 4 において、ビット線 3 2 の電位を H レベルに設定したまま、セルプレート線 3 1 の電位を L レベルに落とすことにより、ビット線 3 2 とセルプレート線 3 1 との間に H - L の電位差を発生させる。このようにして、強誘電体キャパシタ 1 0 の残留分極を再び下向きにすることにより、データ “0” を再度書き込む。その後、時刻 t 5 においてビット線 3 2 の電位を L レベルに落とすと共に、時刻 t 6 においてワード線 3 3 の電位を H レベルから L レベルに落とす。

#### 【0 0 1 9】

以上の動作により、データ “0” を保持するメモリセルは読み出し前の状態に復帰する。

#### 【0 0 2 0】

前述のように、従来の強誘電体メモリ装置においては、強誘電体キャパシタ 1 0 に保持されているデータを書き換えるためには、分極の反転が必要である。また、少なくともデータ “0” の読み出し動作においては、強誘電体キャパシタ 1

0 の容量の 5 ～ 10 倍の容量を持つビット線容量 38 を充電するべく、強誘電体キャパシタ 10 の分極を反転させなければ、メモリセルの読み出し動作を実行することができない。すなわち、データの書き換え動作及びデータの読み出し動作において残留分極の反転が必要である。

#### 【0021】

ところで、強誘電体膜には分極の疲労劣化という現象があり、分極の反転動作を繰り返すと、強誘電体膜の分極の発現特性が著しく劣化してしまう。

#### 【0022】

このため、従来の強誘電体メモリ装置においては、データの書き換え又は読み出しを繰り返し行なうと、強誘電体膜の分極の疲労劣化により、強誘電体メモリ装置の動作寿命が制限されるという問題がある。

#### 【0023】

この強誘電体の分極の疲労劣化は、例えば図 14 に示すように、データ “0” が書き込まれているときの残留分極の大きさとデータ “1” が書き込まれているときの残留分極の大きさとの差（以下、 $2P_r$  で表す）が、正又は負の電圧パルスの繰り返し印加によって減少していく様子から確かめられる。すなわち、正又は負の電圧パルスによる分極反転回数が  $10^{10}$  回に近づくと、 $2P_r$  が急速に小さくなる。

#### 【0024】

強誘電体膜の分極の劣化の度合いは電圧パルスの電圧に依存しており、例えば、厚さが 200 nm の  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  からなる強誘電体キャパシタの  $2P_r$  が初期値の 50 % にまで低下するまでの分極反転回数を書き換え可能回数とすると、図 15 に示すような、書き換え可能回数の電圧依存性が得られる。すなわち、書き換え電圧を低くすると、疲労劣化は抑制されて、書き換え可能回数は指数関数的に増大する。

#### 【0025】

従って、強誘電体膜の分極の疲労劣化を抑制するための 1 つの方法として、例えば書き換え電圧を十分に低くすれば、すなわち、図 15 に示す場合には書き換え電圧を 1.5 V 以下にすれば、 $10^{15}$  回以上の書き換え可能回数を達成するこ

とは可能になる。

#### 【0026】

##### 【発明が解決しようとする課題】

しかしながら、強誘電体キャパシタにおいては、通常、メモリセルに対してデータ“1”又はデータ“0”を書き込む動作をするための電圧があり、書き込み電圧を、 $10^{15}$ 回以上の書き換えを実現できるような低い値に設定すると、残留分極の偏位（この場合は、 $2Pr$ が指標となる）が急激に小さくなってしまう。このため、以下に説明するような問題が発生する。

#### 【0027】

図16に示すように、残留分極の偏位はデータの書き換え電圧に依存する。また、図17に示すように、残留分極の偏位はデータの保持時間に依存し、残留分極の偏位はデータの保持時間の経過に伴って減少する。

#### 【0028】

従って、初期の残留分極の偏位に基づいて、データを保持できる時間つまり強誘電体キャパシタの寿命が決定される。例えば、図17から分かるように、十分に長いデータ保持寿命（ $10^5$ 時間よりも長い時間）を確保するには、初期の残留分極の偏位としては、残留分極がほぼ完全に飽和するような書き込み電圧（図16より5Vである）が必要である。

#### 【0029】

一方、強誘電体キャパシタを $10^{15}$ 回以上の書き換えが可能にするには、書き込み電圧を1.5V以下とする必要がある。ところが、このような低い書き込み電圧により得られる初期の残留分極の偏位は、高々 $10\mu\text{C}/\text{cm}^2$ であって、これから予測されるデータ保持寿命は高々数百時間である。

#### 【0030】

以上説明したように、従来の半導体記憶装置においては、書き込み電圧を低くして強誘電体キャパシタの書き換え可能回数を増加させることと、データ保持の寿命を十分に長く確保することとは、両立し難い問題である。

#### 【0031】

前記に鑑み、本発明は、強誘電体キャパシタを有する半導体記憶装置において

、書き込み電圧を低くして強誘電体キャパシタの書き換え可能回数を増加させることと、データ保持の寿命を十分に長く確保することとの両立を図ることを目的とする。

#### 【0032】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明に係る半導体記憶装置は、複数の論理値のうちのいずれか1つを記憶し、複数の論理値のうちの少なくとも1つの論理値に対しては異なる複数の残留分極の偏位が対応すると共に、複数の論理値のうち少なくとも1つの論理値以外の他の論理値に対しては複数の残留分極の偏位のいずれとも異なる他の残留分極の偏位が対応する強誘電体キャパシタと、強誘電体キャパシタに対して、該強誘電体キャパシタを複数の残留分極の偏位及び他の残留分極の偏位のうちのいずれかの偏位にさせる書き込み電気パルスを印加して、強誘電体キャパシタに複数の論理値のうちのいずれか1つの論理値を書き込むデータ書き込み手段と、強誘電体キャパシタに対して読み出し電気パルスを印加し、該読み出し電気パルスが印加されたときの強誘電体キャパシタの残留分極の偏位を検出して、強誘電体キャパシタに記憶されている論理値を読み出すデータ読み出し手段とを備えている。

#### 【0033】

本発明に係る半導体記憶装置によると、強誘電体キャパシタは、1つの論理値に対して異なる複数の残留分極の偏位が対応するため、強誘電体キャパシタに対して、データの書き込み後に必要となるデータ保持時間に整合する大きさの書き込み電気パルスを印加することができるので、書き込み電圧を低くして強誘電体キャパシタの書き換え可能回数を増加させることと、データ保持の寿命を十分に長く確保することとの両立が可能になる。

#### 【0034】

本発明に係る半導体記憶装置において、強誘電体キャパシタを複数の残留分極の偏位のうちのいずれかの偏位にさせるための書き込み電気パルスは、電位が互いに異なっていることが好ましい。

#### 【0035】

このようにすると、書き込み電気パルスの電位を調整することにより、1つの論理値に対して異なる複数の残留分極の偏位を対応させることができる。

**【0036】**

本発明に係る半導体記憶装置において、強誘電体キャパシタを複数の残留分極の偏位のうちのいずれかの偏位にさせるための書き込み電気パルスは、パルス幅が互いに異なっていることが好ましい。

**【0037】**

このようにすると、書き込み電気パルスのパルス幅を調整することにより、1つの論理値に対して異なる複数の残留分極の偏位を対応させることができる。

**【0038】**

本発明に係る半導体記憶装置において、複数の論理値のうちの他の論理値と対応する他の残留分極の偏位が1つであるときには該偏位は零又は零の近傍であり、他の残留分極の偏位が複数であるときには該複数の偏位のうちの1つは零又は零の近傍であることが好ましい。

**【0039】**

このようにすると、複数の論理値のうちの1つの論理値に対応する異なる複数の残留分極の偏位の設定が容易になる。

**【0040】**

本発明に係る半導体記憶装置において、読み出し電気パルスは、該読み出し電気パルスが除去されたときに、強誘電体キャパシタの残留分極の偏位が読み出し電気パルスが印加される前の偏位に戻るような大きさに設定されていることが好ましい。

**【0041】**

このようにすると、強誘電体キャパシタに記憶されているデータ（論理値）を読み出したときに、読み出したデータが破壊されないので、データの再書き込み動作を行なう必要がない。このため、データの読み出し動作毎に強誘電体キャパシタの分極の向きを変える動作（分極反転動作）が不要になり、分極疲労劣化が発生し難くなる。

**【0042】**



本発明に係る半導体記憶装置において、強誘電体キャパシタに直列に接続された容量負荷を備えており、データ読み出し手段は、強誘電体キャパシタと容量負荷とからなる直列回路の両端に読み出し電気パルスを印加する手段を有し、容量負荷は、読み出し電気パルスが除去されたときに、強誘電体キャパシタの残留分極の偏位が読み出し電気パルスが印加される前の偏位に戻るような大きさに設定されていることが好ましい。

#### 【0043】

このようにすると、強誘電体キャパシタに記憶されているデータ（論理値）を読み出したときに、読み出したデータが破壊されないので、データの再書き込み動作を行なう必要がない。このため、データの読み出し動作毎に強誘電体キャパシタの分極の向きを変える動作（分極反転動作）が不要になり、分極疲労劣化が発生し難くなる。

#### 【0044】

本発明に係る半導体記憶装置において、データ書き込み手段は、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる書き込み電気パルスを印加する一方、特定の周期毎又は特定の動作状態に移行する直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加することが好ましい。

#### 【0045】

このようにすると、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる電気パルスを印加するため、強誘電体キャパシタの分極の疲労劣化を抑制することができると共に、特定の周期毎又は特定の動作状態に移行する直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加するため、データ保持時間を長くすることができる。このため、強誘電体キャパシタの書き換え可能回数の増加と、十分なデータ保持時間の確保との両立を確実に実現することができる。

#### 【0046】

本発明に係る半導体記憶装置において、データ書き込み手段が、通常動作時と、特定の周期毎又は特定の動作状態に移行する直前とで、異なる書き込み電気パルスを印加する場合には、外部から入力されるか又は自ら発生したクロックパルスをカウントするクロックカウンタと、該クロックカウンタからの信号に基づき、特定の周期毎又は特定の動作状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させる制御手段とを備えていることが好ましい。

#### 【 0 0 4 7 】

このようにすると、制御手段は、クロックカウンタからの信号に基づき、特定の周期毎又は特定の動作状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるので、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを確実に印加することができる。

#### 【 0 0 4 8 】

本発明に係る第 1 の電子装置は、複数の論理値のうちのいずれか 1 つを記憶し、複数の論理値のうちの少なくとも 1 つの論理値に対しては異なる複数の残留分極の偏位が対応すると共に、複数の論理値のうち少なくとも 1 つの論理値以外の他の論理値に対しては複数の残留分極の偏位のいずれとも異なる他の残留分極の偏位が対応する強誘電体キャパシタと、強誘電体キャパシタに対して、該強誘電体キャパシタを複数の残留分極の偏位及び他の残留分極の偏位のうちのいずれかの偏位にさせる書き込み電気パルスを印加して、強誘電体キャパシタに論理値を書き込むデータ書き込み手段と、強誘電体キャパシタに対して読み出し電気パルスを印加し、該読み出し電気パルスが印加されたときの強誘電体キャパシタの残留分極の偏位を検出して、強誘電体キャパシタに記憶されている論理値を読み出すデータ読み出し手段とを有し、該データ書き込み手段は、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる電気パルスを印加する一方、特定の周期毎又は特定の動作状態に移行する

直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加するような半導体記憶装置と、

システムの動作状況を監視しており、特定の周期毎又は特定の動作状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるシステム制御装置とを備えている。

#### 【0049】

本発明に係る第1の電子装置によると、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる電気パルスを印加するため、強誘電体キャパシタの分極の疲労劣化を抑制することができると共に、特定の周期毎又は特定の動作状態に移行する直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加するため、データ保持時間を長くすることができる。このため、強誘電体キャパシタの書き換え可能回数の増加と、十分なデータ保持時間の確保との両立を確実に実現することができる。

#### 【0050】

また、システム制御装置が、システムの動作状況に応じて、特定の周期毎又は特定の動作状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるので、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを確実に印加することができる。

#### 【0051】

本発明に係る第2の電子装置は、複数の論理値のうちのいずれか1つを記憶し、複数の論理値のうちの少なくとも1つの論理値に対しては異なる複数の残留分極の偏位が対応すると共に、複数の論理値のうち少なくとも1つの論理値以外の他の論理値に対しては複数の残留分極の偏位のいずれとも異なる他の残留分極の偏位が対応する強誘電体キャパシタと、強誘電体キャパシタに対して、該強誘電体キャパシタを複数の残留分極の偏位及び他の残留分極の偏位のうちのいずれか

の偏位にさせる書き込み電気パルスを印加して、強誘電体キャパシタに論理値を書き込むデータ書き込み手段と、強誘電体キャパシタに対して読み出し電気パルスを印加し、該読み出し電気パルスが印加されたときの強誘電体キャパシタの残留分極の偏位を検出して、強誘電体キャパシタに記憶されている論理値を読み出すデータ読み出し手段とを有し、該データ書き込み手段は、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる電気パルスを印加する一方、特定の周期毎又は特定の動作状態に移行する直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加するような半導体記憶装置と、

システムを駆動する電源を監視しており、電源からの電力供給が停止される直前又は電源が節約状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるシステム制御装置とを備えている。

#### 【 0 0 5 2 】

本発明に係る第 2 の電子装置によると、通常動作時には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に小さい偏位にさせる電気パルスを印加するため、強誘電体キャパシタの分極の疲労劣化を抑制することができると共に、特定の周期毎又は特定の動作状態に移行する直前には、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加するため、データ保持時間を長くすることができる。このため、強誘電体キャパシタの書き換え可能回数の増加と、十分なデータ保持時間の確保との両立を確実に実現することができる。

#### 【 0 0 5 3 】

また、システム制御装置が、システムを駆動する電源の動作状況に応じて、特定の周期毎又は特定の動作状態に移行する直前に、データ書き込み手段に、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを印加させるので、強誘電体キャパシタを複数の残留分極の偏位のうち絶対値が相対的に大きい偏位にさせる書き込み電気パルスを確実に印加することができる。

**【0054】**

本発明に係る第2の電子装置において、電源としては、一次電池又は二次電池を用いることができる。

**【0055】****【発明の実施の形態】****（第1の実施形態）**

以下、本発明の第1の実施形態に係る半導体記憶装置について説明する。

**【0056】**

図1は、第1の実施形態に係る半導体記憶装置を構成する1つのメモリセルを示している。図1に示すように、メモリセルは、強誘電体キャパシタ10及びトランジスタ20を有し、強誘電体キャパシタ10は200nmの厚さを持つ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ よりなる強誘電体膜を有している。強誘電体キャパシタ10の第1の電極11は強誘電体キャパシタ10の第1の電極11はトランジスタ20のソース21に接続され、強誘電体キャパシタ10の第2の電極12はセルプレート線31に接続されている。トランジスタ20のドレイン22はビット線32に接続され、トランジスタ20のゲート電極23はワード線33に接続されている。

**【0057】**

図1において、34はワード線33を選択するワード線ドライバ(WLD)であり、35はセルプレート線31を駆動するセルプレートドライバ(CPD)であり、36はビット線32の電圧を差動増幅するセンスアンプ(SA)であり、37はセンスアンプ36の差動増幅動作に必要な基準電圧発生回路(RVG)であり、38はビット線32の容量を回路記号で示したビット線容量である。

**【0058】**

第1の実施形態に係る半導体記憶装置は、図10に示した従来の半導体記憶装置に比べて、セルプレートドライバ35の構成が異なる、つまり、セルプレートドライバ35が生成する書き込み電気パルス及び読み出し電気パルスの大きさとパルス幅とがセルプレート制御信号によって選択可能である。

**【0059】**

図 2 (a) 、 (b) 及び (c) に示すように、セルプレートドライバー 35 は、セルプレート線 31 に、所望の電位、例えばレベル V1、レベル V2 又はレベル V3 の電気パルスを、所望のパルス幅で、例えば T3 - T2 及び T4 - T3 で発生させることができる。

#### 【0060】

このように、プレート制御信号によって、セルプレート線 31 に印加される電気パルスにおける電位とパルス幅との組み合わせを選択できるので、強誘電体キャパシタ 10 に、異なる電気パルスで複数の論理値を書き込むことができると共に、複数の論理値のうちの 1 つの論理値を異なる電気パルスで書き込むことができる。

#### 【0061】

##### <データの書き込み動作>

例えば、データ “1” を互いに異なる複数の残留分極の偏位と対応させておき、異なる電気パルスで、データ “1” と対応する複数の残留分極の偏位を発生させることができる。以下、この動作について、強誘電体キャパシタ 10 のヒステリシス曲線の動作図 (図 3) を参照しながら説明する。

#### 【0062】

初期の残留分極の偏位が点 a に配位されている場合に、データ “1” という 1 つの論理値に対して、点 b と対応する残留分極の偏位と、点 c に対応する残留分極の偏位との 2 つの偏位を対応させる。

#### 【0063】

強誘電体キャパシタ 10 の偏位を、データ “1” に対応する 2 つの残留分極の偏位のうち絶対値が相対的に大きい偏位と対応する点 c に設定するには、ビット線 32 の電位を L レベルに設定したまま、セルプレート線 31 の電位を H1 (電源電圧) レベル、例えば V1 = 3 V のレベルに設定する。これは、図 2 (a) において、時刻 T2 でセルプレート線 31 の電位を V1 に上げることに相当する。このとき、残留分極の偏位は点 a から点 b を経由して点 d の位置に移動する。その後、時刻 T3 でセルプレート線 31 の電位を取り去ると、残留分極の偏位は点 d から点 c に移動する。そして、点 c の残留分極の偏位の大きさがデータ “1” と

して設定される。

#### 【0064】

一方、強誘電体キャパシタ 10 の偏位を、データ “1” に対応する 2 つの残留分極の偏位のうち絶対値が相対的に小さい偏位と対応する点 b に設定するには、ビット線 32 の電位を L レベルに設定したまま、セルプレート線 31 の電位を H2 レベル、例えば  $V_2 = 1.1 \text{ V}$  に上げる。これは、図 2 (b) において、時刻 T2 でセルプレート線 31 の電位を  $V_2$  に上げることに相当する。このとき、残留分極の変位は点 a から点 e に移動する。その後、時刻 T3 でセルプレート線 31 の電位を取り去ると、残留分極の偏位は点 e から点 b に移動する。そして、点 b の残留分極の偏位の大きさがデータ “1” として設定される。

#### 【0065】

ところで、データ “1” に対応する残留分極の偏位として点 c 又は点 b に設定するには、前述のように電気パルスの電圧の差異を用いる方法に代えて、電気パルスのパルス幅 ( $T_3 - T_2$ ) を互いに異なる 2 つの値に設定しておき、電気パルスのパルス幅の差異を用いてもよい。これらの電気パルスの電圧の大きさ及びパルス幅は、セルプレートドライバ 35 に入力されるセルプレート制御信号によって選択可能である。

#### 【0066】

これに対して、データ “0” と対応する強誘電体キャパシタ 10 の偏位については、図 3 に示すように、例えば残留分極の偏位が零又は零の近傍である点 a のみを対応させる。残留分極の偏位を点 a に設定するには、データ “1” を書き込むときの電気パルスとは逆極性で且つ電圧の絶対値が抗電圧よりも僅かに大きい電位差を強誘電体キャパシタ 10 に印加すればよい。具体的には、ビット線 32 とセルプレート線 31 とを互いに同電位 ( $= V_1$ ) としておいてから、セルプレート線 31 の電位のみをレベル  $V_3$  に下げる。本実施形態においては、強誘電体キャパシタ 10 の抗電圧はおおよそ  $0.8 \text{ V}$  であるから、レベル  $V_3 = 2.1 \text{ V}$  とすれば、図 2 (c) に示すように、時刻 T3 から時刻 T4 までの間に、 $-(V_1 - V_3) = -0.9 \text{ V}$  の電位差を強誘電体キャパシタ 10 に印加できる。このようにすると、データ “1” に対応する残留分極の偏位が点 c 又は点 b のいずれにあ

っても、データ“0”に対応する残留分極の偏位を点fに設定することができる。その後、時刻T4でビット線32及びセルプレート線31の電位を取り去ると、残留分極の偏位はデータ“0”に対応する点aに落ち着くことになる。

#### 【0067】

以上のように、セルプレートドライバ35に入力されるセルプレート制御信号によって、データ“1”に対しては点c又は点bと対応する残留分極の偏位を設定すると共に、データ“0”に対しては点aと対応する残留分極の偏位を設定することができる。

#### 【0068】

このように、データ“1”とデータ“0”とを、残留分極が零である点を中心として非対称な残留分極の偏位に対応させると、分極疲労劣化及び分極の一方向への焼きつき（インプリント）という信頼性の点で好ましくない現象を緩和することができる。

#### 【0069】

##### <データの読み出し動作>

以上のようにしてメモリセルに書き込まれたデータの読み出し動作における各信号線の電位のタイミングは、例えば図4に示すようになる。

#### 【0070】

すなわち、ビット線32の電位を、予めLレベルに設定しておいてから、時刻t1でワード線33の電位をHレベルに上げてトランジスタ20をONにする。次に、時刻t2でセルプレート線31の電位をV4に上げる。このとき、ビット線32は、センスアンプ36に接続された状態になっており、ビット線容量38が付随している。従って、セルプレート線31、強誘電体キャパシタ10、ビット線容量32及び基板からなる直列容量結合が形成されていることになる。このため、セルプレート線31に印加された電圧は、強誘電体キャパシタ10に印加される電圧と、ビット線容量38に印加される電圧とに分割される。

#### 【0071】

この際、ビット線容量38に印加される電圧は、強誘電体キャパシタ10の残留分極の偏位に応じて次の3つのレベルに分かれる。



## 【0072】

図5において、 $x$ はビット線容量38に基づき決まるビット線容量負荷線であり、図3において示した残留分極の偏位の点a、点b及び点cを、分極の電荷 $Q$ と電圧 $V$ との直交座標の原点に規格化する。ここで、セルプレート線31に対して、つまり強誘電体キャパシタ10とビット線容量38との直列合成容量に対して、レベル $V_4 = 2V$ の読み出し電圧を印加すると、ビット線容量負荷線 $x$ と $V$ 軸との交点は、座標原点 $O$ から $V$ 軸上の $2V$ の点(点g)まで移動する。このとき、分極の偏位とビット線容量負荷線 $x$ との交点の位置は、座標原点 $O$ が点a、点b又は点cのいずれにあったかによって異なる。すなわち、座標原点 $O$ が点a(データ“0”)にあったときには交点は点hに位置し、座標原点 $O$ が点b(データ“1”)にあったときには交点は点iに位置し、座標原点 $O$ が点c(データ“1”)にあったときには交点は点jに位置する。このとき、ビット線32の電位は、点h、点i及び点jを $V$ 軸上にそれぞれ斜影した点k(約 $1.3V$ )、点m(約 $1.6V$ )及び点n(約 $1.8V$ )の各々と、点g( $2V$ の点)との差のいずれかになる。従って、点h(データ“0”)に対応するビット線32の電位は約 $0.7V$ となり、点i(データ“1”)に対応するビット線32の電位は約 $0.4V$ となり、点j(データ“1”)に対応するビット線32の電位は約 $0.2V$ となる。

## 【0073】

ここで、センスアンプ36に入力する基準電圧発生回路37からの信号の電位を $RVG = 0.5V \sim 0.6V$ にして、図4における時刻 $t_3$ でセンスアンプ36を起動させると、ビット線32の電位は、データ“0”が記憶されておればHレベルに増幅され、データ“1”が記憶されておればLレベルまで引き下げられるので、データ“0”又はデータ“1”のいずれが記憶されているかが確定される。この結果をセンスアンプ36の出力として外部出力回路(図示せず)にラッチした後、時刻 $t_4$ でビット線32をLレベルに下げる。

## 【0074】

読み出すべきデータが“0”であったら、図4における時刻 $t_3$ の以降、ビット線32の電位はHレベル(ここでは $3V$ )になるので、電位が $3V$ であるビッ

ト線 32 と電位が 2 V に昇圧されたセルプレート線 31 との間に約 -1 V の電位差がかかるので、残留分極の偏位は点 g から図 3 における点 f に引き戻される。その後、時刻  $t_4$  においてビット線 32 及びセルプレート線 31 の電位を共に L レベルにすると、点 f にあった残留分極の偏位は、座標原点の近傍の点 a に戻る。

#### 【0075】

このように、読み出し電圧  $V_4$  の値と、電源電圧  $V_1$  及びビット線容量 38 の値とは、データ “0” の読み出し時における、センスアンプ 36 の起動並びにビット線 32 及びセルプレート線 31 の電圧除去により、残留分極の偏位が読み出し動作前の位置に戻るようにも調整されている。すなわち、強誘電体キャパシタ 10 に印加される読み出し電気パルスは、該強誘電体キャパシタ 10 からの応答を電氣的に検出するセンスアンプ 36 の動作の如何に拘わらず、読み出し電気パルスを除去したときに、強誘電体キャパシタ 10 の残留分極の偏位が読み出し電気パルスを印加する前の偏位に復帰する大きさに設定されているか、又は、強誘電体キャパシタ 10 に直列接続され、該強誘電体キャパシタ 10 に読み出し電気パルスを印加してその応答を電気信号に変換する負荷容量が、読み出し電気パルスを除去したときに強誘電体キャパシタ 10 の残留分極の偏位が読み出し電気パルスを印加する前の偏位に復帰する大きさに設定されている。これにより、複数の論理値のうち少なくとも 1 つの論理値については、データの再書き込み動作が不要になるか又は軽減される。

#### 【0076】

読み出すべきデータが “1” であったら、時刻  $t_4$  においてセルプレート線 31 及びビット線 32 の電位を L レベルに落とすと共に、時刻  $t_5$  においてワード線 33 の電位を L レベルに落とすことにより、メモリセルのデータは読み出し前の状態に復帰する。すなわち、時刻  $t_4$  において、点 i は点 b に戻ると共に点 j は点 c に戻るだけである。

#### 【0077】

第 1 の実施形態によると、データ “1” を書き込むための書き込み電気パルスとして互いに異なる 2 つ以上の水準のうちいずれか 1 つが選択されるようになっ

ており、それぞれの水準によって誘起される残留分極の偏位が互いに異なるので、それぞれの水準に対応する残留分極の偏位によって、データ書き換え後のデータ保持寿命を調整することができる。

#### 【0078】

尚、第1の実施形態においては、読み出し電圧として2V (=V4) が設定される場合について読み出し動作を説明したが、強誘電体キャパシタ10の容量とビット線容量38との比、及び読み出し電圧V4とビット線容量38との関係を調整すれば、読み出し電圧を1.5V以下に設定することができる。その結果、強誘電体キャパシタ10に印加される電圧を1.5V以下に抑えることができるので、読み出し可能回数は飛躍的に増加する。

#### 【0079】

(第2の実施形態)

以下、本発明の第2の実施形態に係る電子装置について説明する。

#### 【0080】

ところで、第1の実施形態に係る半導体記憶装置を、再充電可能な二次電池で動作する携帯用の電子装置に搭載する場合、一旦書き込んだデータを長時間にわたって保持する必要があるのは、携帯用の電子装置の電源が停止状態にされるか又は電源が電子装置から切り離されている期間である。

#### 【0081】

従って、携帯用電子装置の電源を停止又は切り離しする直前に、書き込まれたデータの一部又は全部の保持期間が十分に長くなる電圧で書き込み動作を行なうようにすると、携帯用電子装置の通常動作中つまり電源が活動中（電源が停止したり切り離されたりされていない状態）における書き込み電圧は、電源を投入して動作を開始してから電源を切るまでの期間だけデータを保存できるような書き込み電圧で済む。第2の実施形態は、このような考え方を具体化する電子装置である。

#### 【0082】

図6は、第2の実施形態に係る電子装置100の全体構成を示しており、該電子装置100は、マイクロプロセッサ101、半導体記憶装置102、二次電池

103、データ通信制御部104、表示装置ドライバ105及び表示装置106を備えている。マイクロプロセッサ101、半導体記憶装置102及びデータ通信制御部104は制御・データバス110により接続されていると共に、マイクロプロセッサ101及び二次電池103は電源モニター線111により接続されている。

#### 【0083】

マイクロプロセッサ101は、二次電池103の電力が電子装置100を駆動するのに十分であるか否かを電源モニター線111を介して監視する。すなわち、マイクロプロセッサ101は、電子装置100のシステムの動作状況を監視する手段である。

#### 【0084】

二次電池103が電子装置100を駆動できる電力の供給可能時間をL1とする。例えば、図7に示すように、マイクロプロセッサ101は、時刻 $\tau_1$ で二次電池103が電力を供給し始めて電子装置100が駆動を開始してから、時間L1が経過した時刻 $\tau_2$ において、二次電池103による電力の供給が不能であると判断する。表示装置106を有する電子装置100の二次電池103による駆動可能時間L1は、およそ数時間であることが多い。このL1の期間は、マイクロプロセッサ101から半導体記憶装置102へのアクセスが頻繁に行なわれる期間であるが、その期間は高々数時間であることが多い。

#### 【0085】

第2の実施形態における半導体記憶装置102においては、データ“1”を2つの異なる電気パルスのうちの1つを用いて、強誘電体キャパシタ10の残留分極の偏位をデータ“1”に対応する2つの状態の1つに設定することができるので、L1の期間が終了する直前の時刻 $\tau_2$ において、所望のデータをすべて再書き込みするという動作を行なう。電源停止後の十分に長い時間、好ましくは数年以上に亘って、データを保持できることが必要であるから、再書き込み動作においては、長時間に亘って残留分極の偏位が大きい状態になるようなデータ“1”が書き込まれる必要がある。このようにして書き換えられたデータ“1”の残留分極の偏位は、図3の点bの位置に相当する。残留分極の偏位が大きくなるよう

な再書き込み動作は、たとえば図8のタイミングチャートに示すように、一旦ビット線32上にデータを読み出した後、データ“1”に対しては、時刻 $t_3$ から $t_6$ の間において高いレベルの $V_1$ の電圧が強誘電体キャパシタ10に印加できるようにすればよい。

#### 【0086】

以上のようにして、 $L_1$ の期間の終了が終了する直前の時刻 $\tau_2$ において、所望のデータをすべて再書き込みするという動作を行なうようにすると、通常動作つまり $L_1$ の期間中における、半導体記憶装置102へのデータ“1”の書き換え電圧は、 $V_1$ である必要はなく、残留分極の偏位が図3の点bになるような小さい電圧でよい。つまり、データ“1”の書き換え電圧は、残留分極の偏位が、期間 $L_1$ の間だけ点fとの判別が可能であるような大きさでよい。従って、期間 $L_1$ の間におけるデータ“1”の書き込み動作は、図2(b)のように比較的低い電圧 $V_2$ によって、残留分極の偏位が図3の点bになるように書き込めばよい。

#### 【0087】

図7に示すように、電子装置100においては、期間 $L_1$ は半導体記憶装置102への $\text{CE}$ 信号で区別される。すなわち、二次電池103が電子装置100を駆動できる電力を供給できる期間においては、 $\text{CE}$ 信号は $L$ レベルとなる。従って、この期間においては、比較的低い書き込み電圧のパルス列 $u$ によってデータ“1”を書き込む。このパルス列 $u$ によって書き込まれたデータ“1”に対応する残留分極の偏位は、時間の経過に伴って減衰するが、少なくとも時刻 $\tau_2$ において、データ“1”とデータ“0”とが判別できる大きさである。従って、時刻 $\tau_2$ において図8に示す手順によりデータを読み出した後、時刻 $t_3$ から時刻 $t_4$ までの間に再書き込みをすれば、データ“1”に対応する残留分極の偏位は、電源停止期間中に亘って十分に長い間、データを保持できる大きさになる。

#### 【0088】

尚、第2の実施形態においては、期間 $L_1$ の間では、データ“1”を点bに書き込み且つデータ“0”を点aに書き込むことによって、分極疲労劣化の低減を図ると共に、期間 $L_1$ が終了する直前には、データ“1”を点cに書き込み且つ

データ“0”を点aに書き込むことによって、データを長期間に亘って保持できるようにしたが、これに代えて、図9に示すようにしてもよい。すなわち、図9に示すように、期間L1の間においては、データ“1”を点bに書き込み且つデータ“0”を点wに書き込むと共に、期間L1が終了する直前には、データ“1”を点cに書き込み且つデータ“0”を点aに書き込むようにする。このようにすると、分極疲労劣化の低減を図り且つ長期間に亘るデータ保持を可能とするのみならず、期間L1中に書き込まれたデータ“1”とデータ“0”との間の読み出し信号の差分を増大させて、エラーが少ない読み出しを実現することができる。

#### 【0089】

尚、第2の実施形態においては、電子装置100のシステムを駆動する電源は、充電が可能な二次電池であったが、これに代えて、充電が不能な一次電池を用いてもよい。

#### 【0090】

また、第2の実施形態においては、電子装置100のシステムの電源を監視しており、電源からの電力供給が停止される直前又は電源が節約状態に移行する直前に、残留分極の偏位が大きくなるような電気パルスを印加するようにしたが、これに代えて、システムの動作状況を監視しており、特定の周期毎、又は電源からの電力供給が停止されるとき若しくは電源が節約状態に移行するときのような特定の動作状態に移行する直前に、残留分極の偏位が大きくなるような電気パルスを印加してもよい。

#### 【0091】

さらに、システムの電源を監視する制御装置又はシステムの動作状況を監視する制御装置に代えて、内蔵するタイマー回路により、つまり外部から入力されるか又は自ら発生したクロックパルスをクロックカウンタによりカウントし、該クロックカウンタからの信号に基づいて、特定の周期毎又は特定の動作状態に移行する直前に、残留分極の偏位が大きくなるような電気パルスを印加してもよい。

#### 【0092】

#### 【発明の効果】

本発明に係る半導体記憶装置によると、強誘電体キャパシタは、1つの論理値に対して異なる複数の残留分極の偏位が対応するため、強誘電体キャパシタに対して、データの書き込み後に必要となるデータ保持時間に整合する大きさの書き込み電気パルスを印加することができるので、書き込み電圧を低くして強誘電体キャパシタの書き換え可能回数を増加させることと、データ保持の寿命を十分に長く確保することとの両立が可能になる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施形態に係る半導体記憶装置の 1 つのメモリセルの構成を示す等価回路図である。

##### 【図 2】

(a)、(b) 及び(c) は、本発明の第 1 の実施形態に係る半導体記憶装置のメモリセルに対するデータ “1” 又はデータ “0” の書き込み動作における電気パルスのタイミングチャートを示す図である。

##### 【図 3】

本発明の第 1 の実施形態に係る半導体記憶装置のメモリセルに対して、2つの異なる電気パルスのうちのいずれかを用いてデータ “1” に対応する 2 つの残留分極の偏位のいずれかを書き込む場合、及びデータ “0” に対応する残留分極の偏位を書き込む場合における、強誘電体キャパシタのヒステリシス曲線上の動作点を示す図である。

##### 【図 4】

本発明の第 1 の実施形態に係る半導体記憶装置のメモリセルに対する読み出し動作における電気パルスのタイミングチャートを示す図である。

##### 【図 5】

本発明の第 1 の実施形態に係る半導体記憶装置のメモリセルに対する読み出し動作において、ビット線容量に印加される電圧を説明する図である。

##### 【図 6】

本発明の第 2 の実施形態に係る電子装置の一例を示すブロック図である。

##### 【図 7】

本発明の第2の実施形態に係る電子装置のシステム動作状態と、メモリセルに  
のデータ“1”を書き込むためのパルス列とを示す図である。

【図8】

本発明の第2の実施形態に係る電子装置を構成する半導体記憶装置のメモリセルからデータをデータを読み出した後、十分に長い時間に亘ってデータを保持できる残留分極の偏位を持つ状態に再書き込みをする際のタイミングチャートを示す図である。

【図9】

本発明の第2の実施形態に係る電子装置を構成する半導体記憶装置のメモリセルに対して、2つの異なる電気パルスのいずれかを用いて、データ“1”に対応する2つの残留分極の偏位のいずれかになるように書き込む場合と、2つの異なる電気パルスのいずれかを用いて、データ“0”に対応する2つの残留分極の偏位のいずれかになるように書き込む場合とにおける、強誘電体キャパシタのヒステリシス曲線上の動作点を示す図である。

【図10】

従来の半導体記憶装置の1つのメモリセルの構成を示す等価回路図である。

【図11】

従来の半導体記憶装置のメモリセルに対して、データ“1”及びデータ“0”を書き込む動作及び書き込まれたデータを読み出す動作における、強誘電体キャパシタのヒステリシス曲線上の動作点を示す図である。

【図12】

従来の半導体記憶装置のメモリセルに対して、データ“1”及びデータ“0”を書き込む動作におけるタイミングチャートを示す図である。

【図13】

従来の半導体記憶装置のメモリセルからデータ“1”及びデータ“0”を読み出す動作におけるタイミングチャートを示す図である。

【図14】

従来の半導体記憶装置のメモリセルを構成する強誘電体キャパシタの分極疲労劣化特性を示す図である。



**【図 1 5】**

従来の半導体記憶装置のメモリセルを構成する強誘電体キャパシタにおける、書き換え可能回数の書き換え電圧に対する依存性を説明する図である。

**【図 1 6】**

従来の半導体記憶装置のメモリセルを構成する強誘電体キャパシタにおける、残留分極の偏位の書き換え電圧に対する依存性を説明する図である。

**【図 1 7】**

従来の半導体記憶装置のメモリセルを構成する強誘電体キャパシタにおける、残留分極の偏位のデータ保持時間に対する依存性を説明する図である。

**【符号の説明】**

- 1 0 強誘電体キャパシタ
- 1 1 第 1 の電極
- 1 2 第 2 の電極
- 2 0 トランジスタ
- 2 1 ソース
- 2 2 ドレイン
- 3 1 セルプレート線
- 3 2 ビット線
- 3 3 ワード線
- 3 4 ワード線ドライバー
- 3 5 セルプレートドライバー
- 3 6 センスアンプ
- 3 7 基準電圧発生回路
- 3 8 ビット線容量
- 1 0 0 電子装置
- 1 0 1 マイクロプロセッサ
- 1 0 2 半導体記憶装置
- 1 0 3 二次電池
- 1 0 4 データ通信制御部

1 0 5 表示装置ドライバ

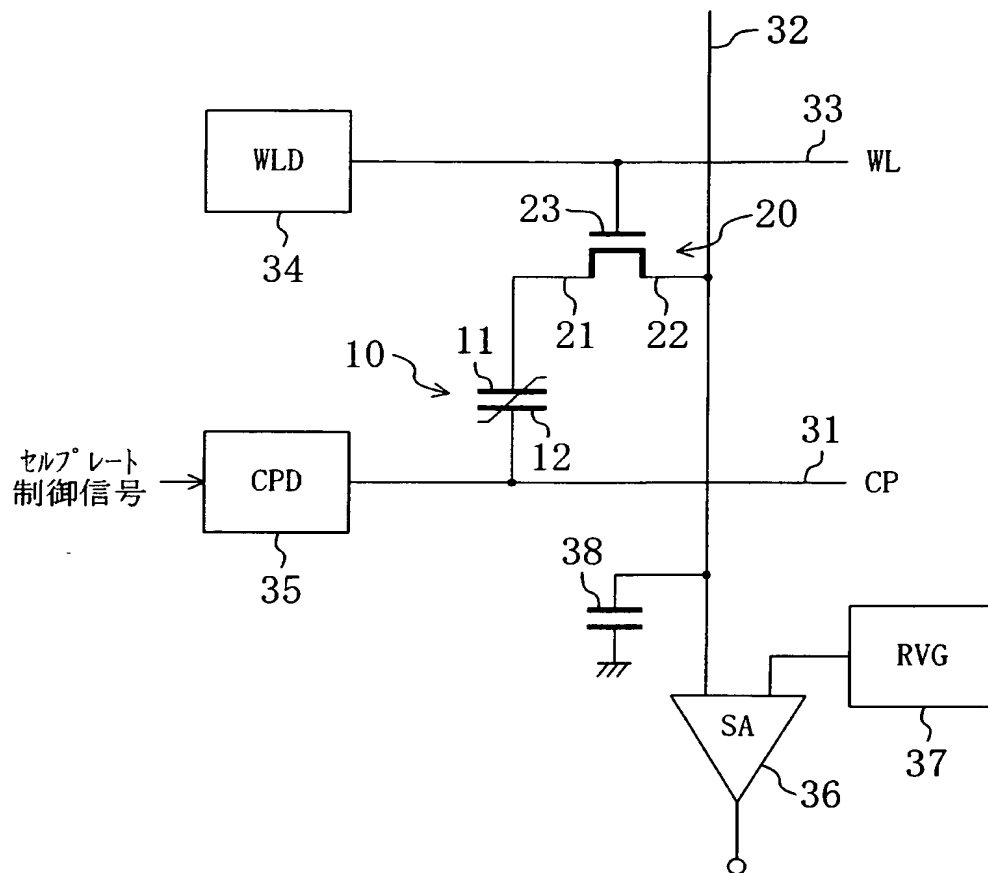
1 0 6 表示装置

1 1 0 制御・データバス

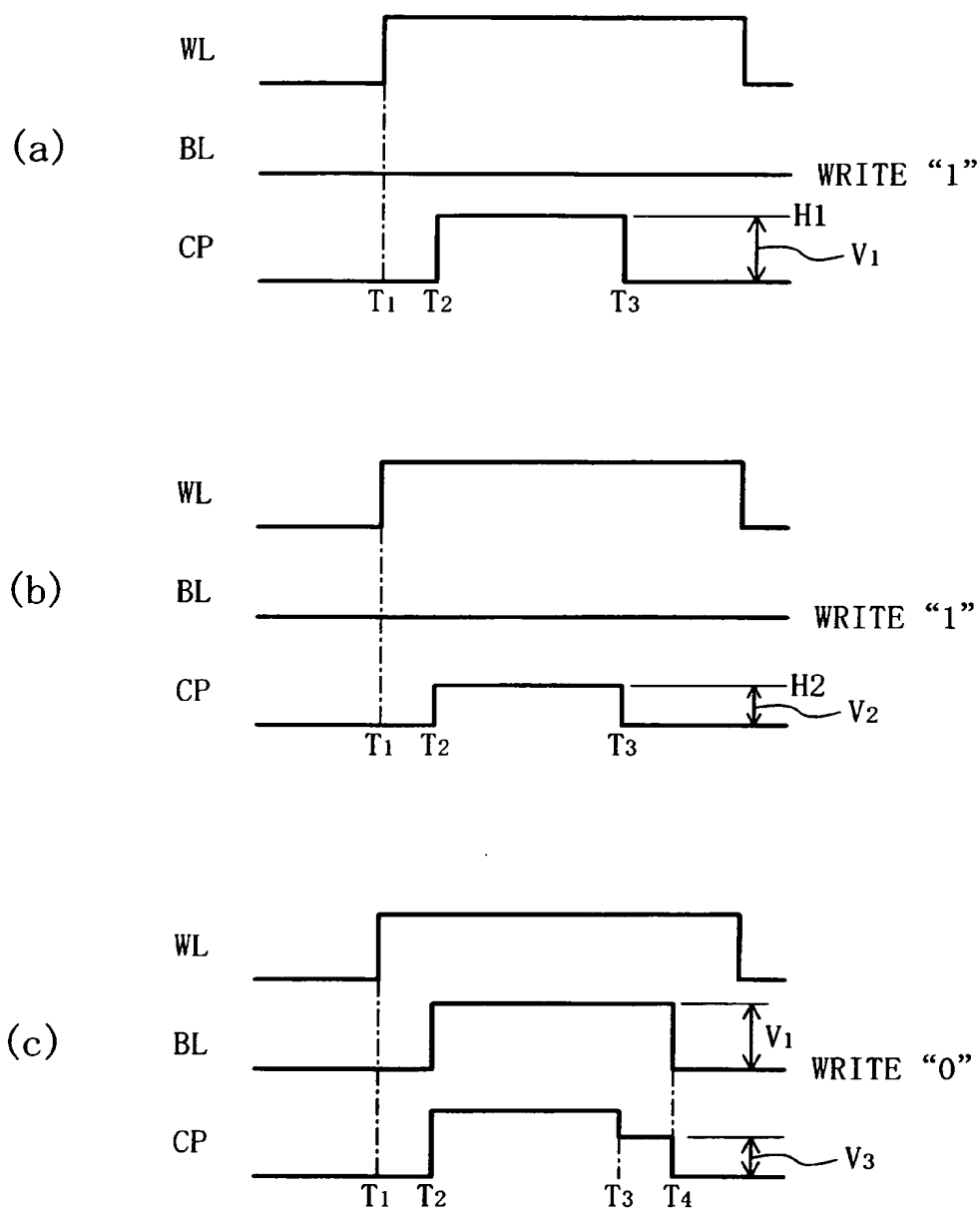
1 1 1 電源モニター線

【書類名】 図面

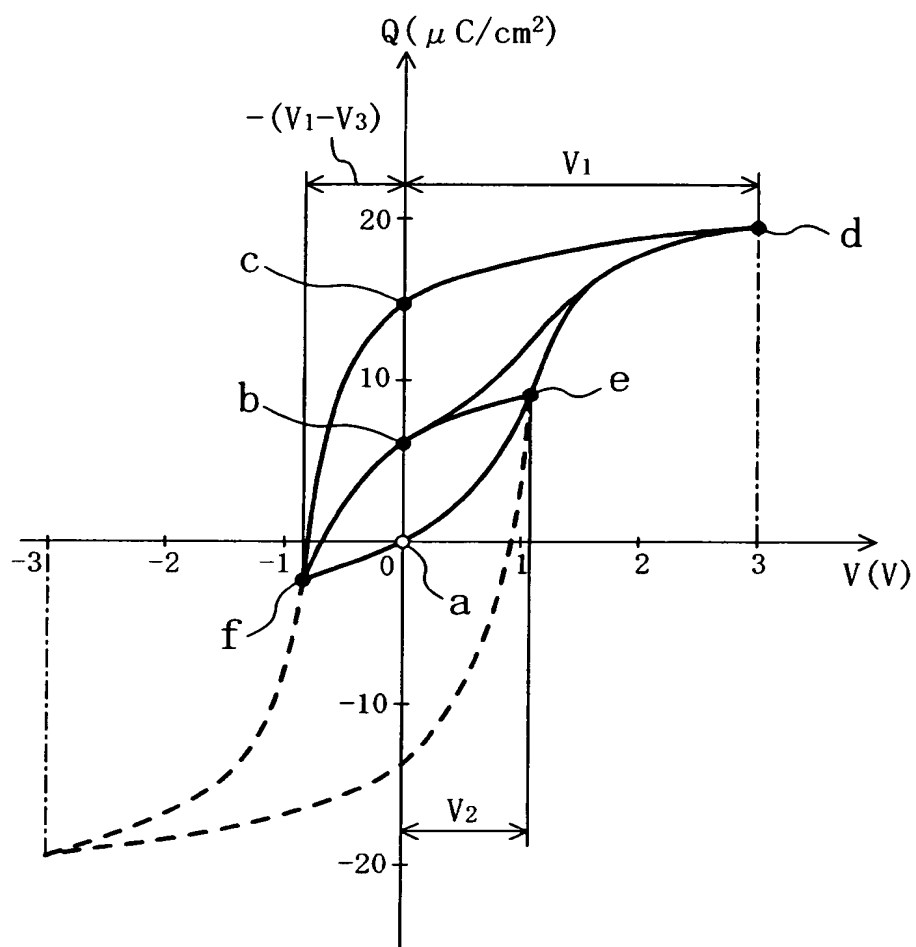
【図 1】



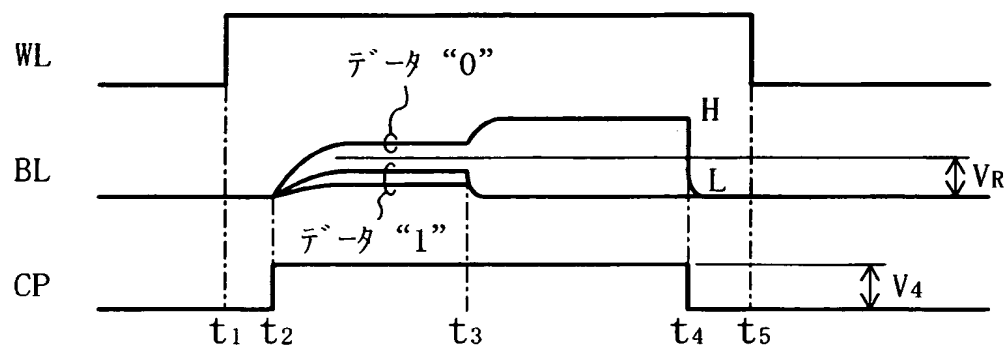
【図 2】



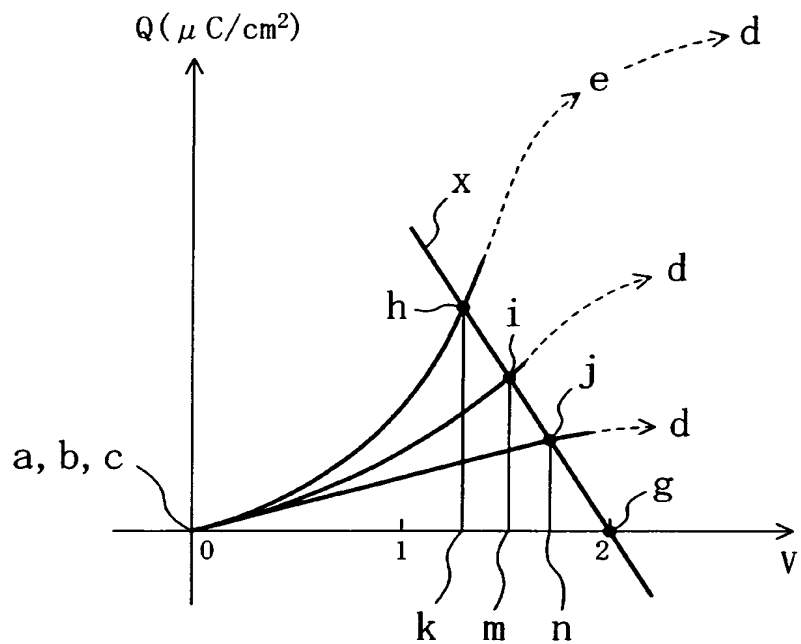
【図 3】



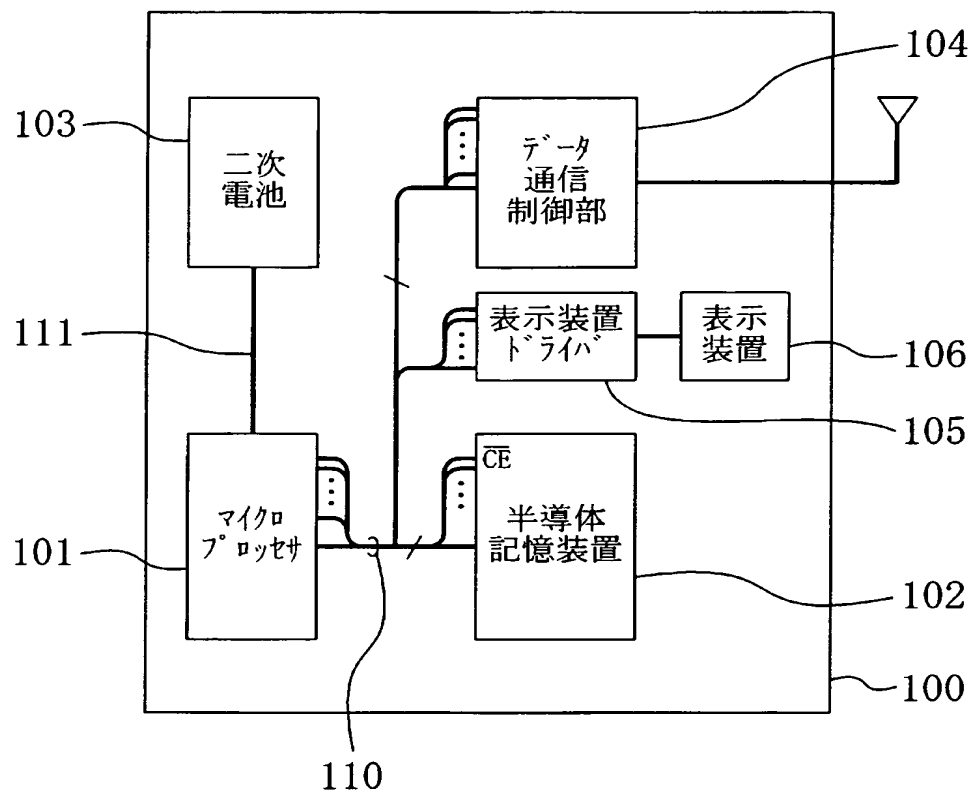
【図 4】



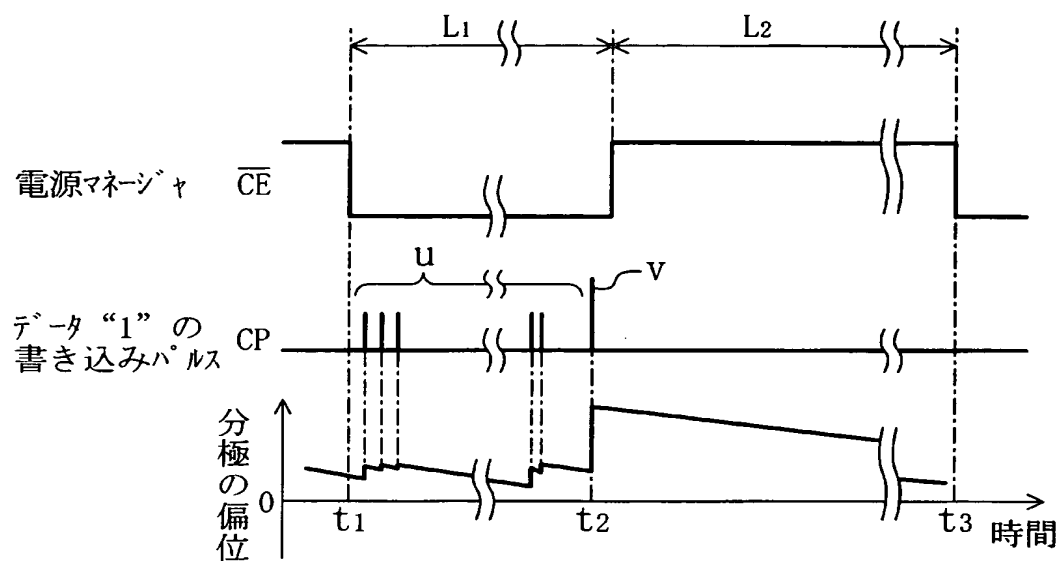
【図 5】



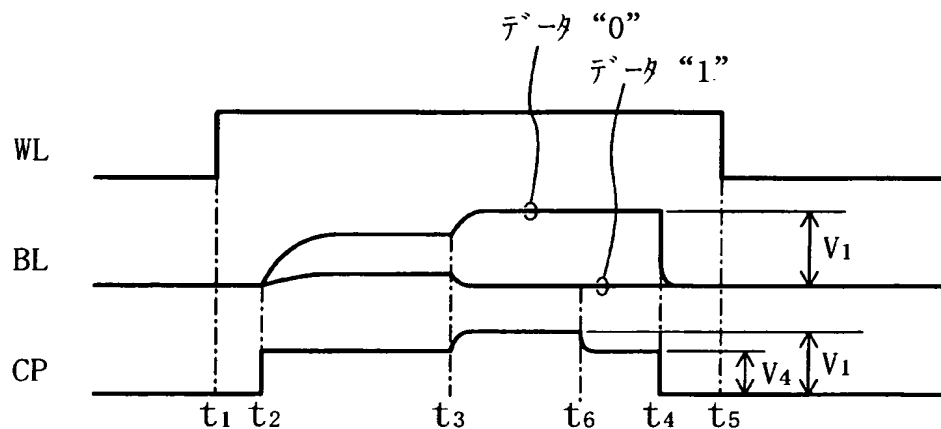
【図 6】



【図 7】

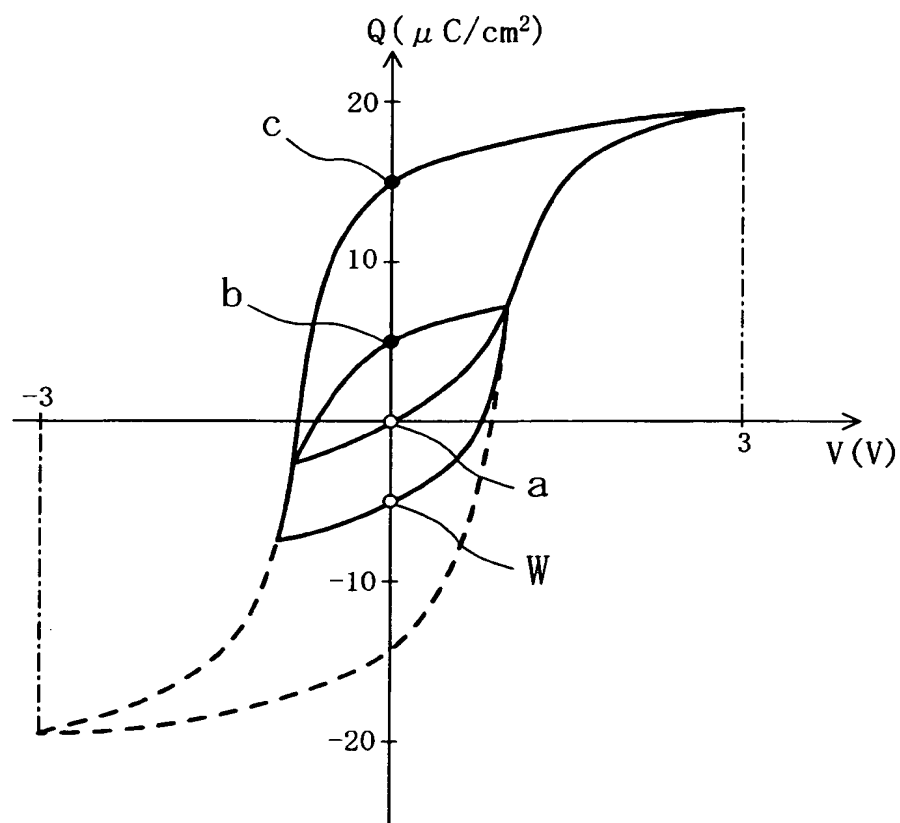


【図 8】

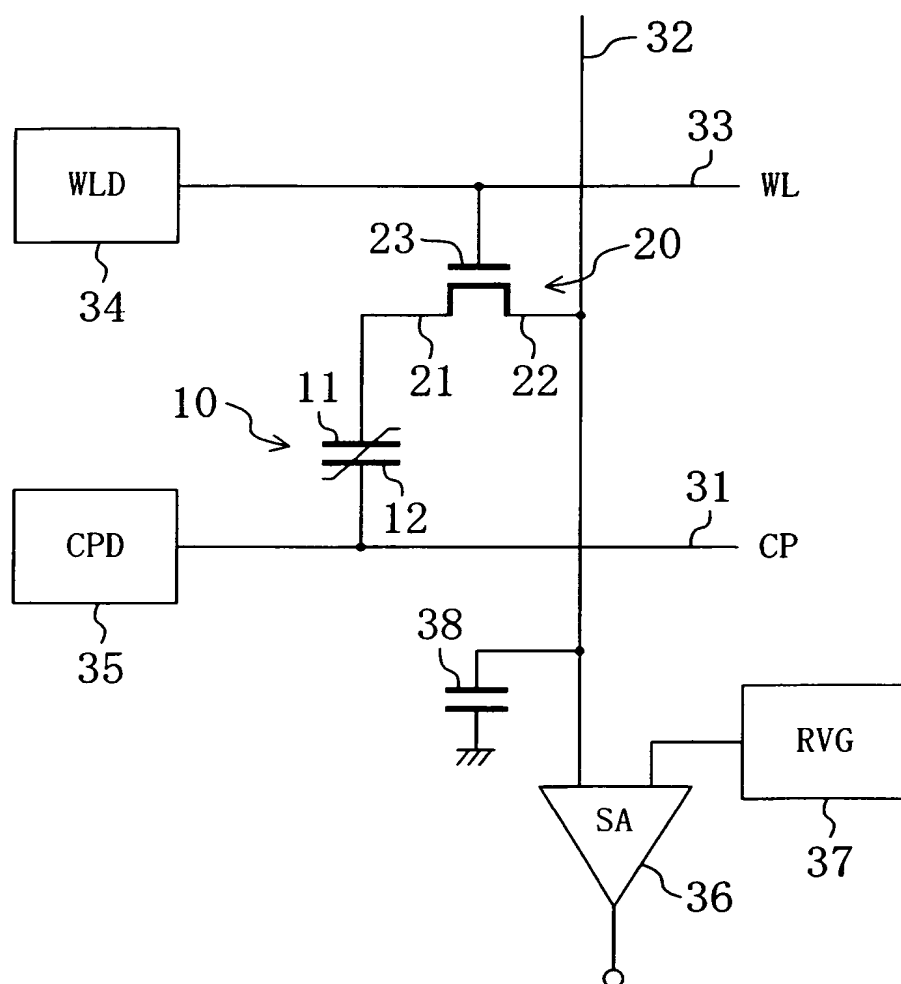




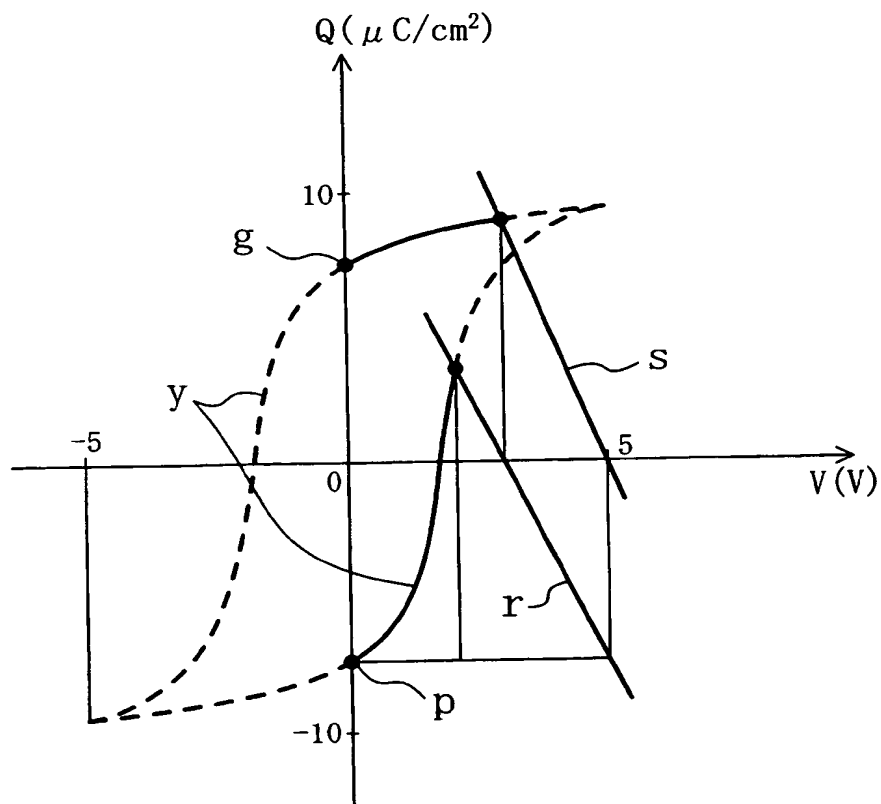
【図 9】



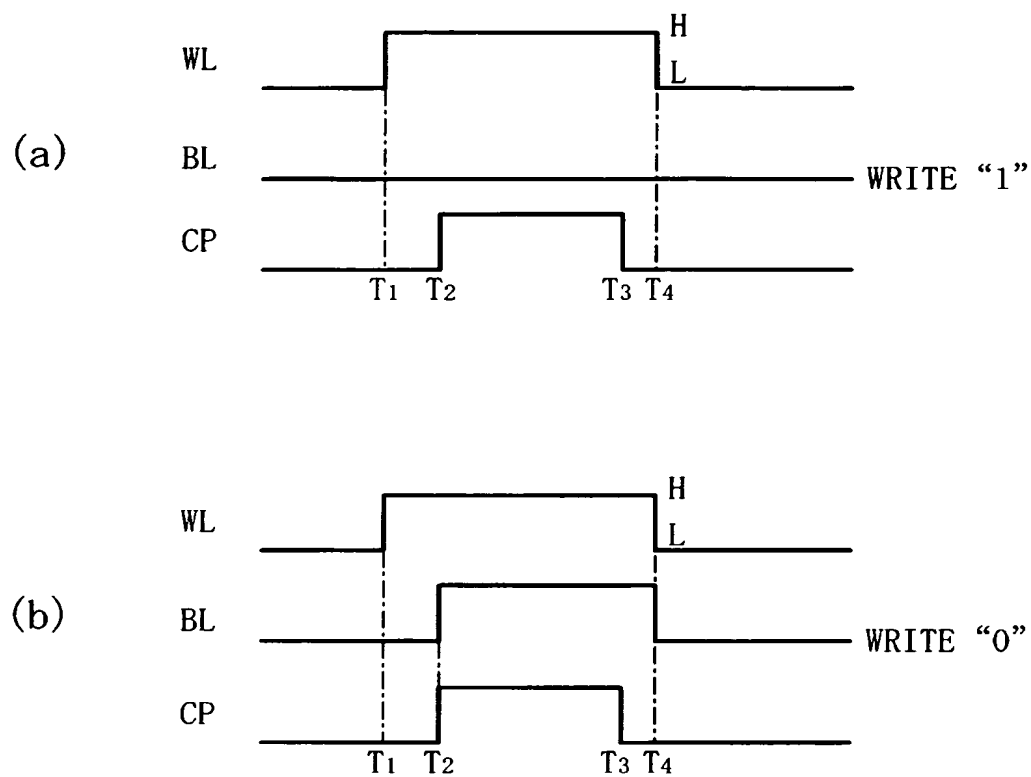
【図 10】



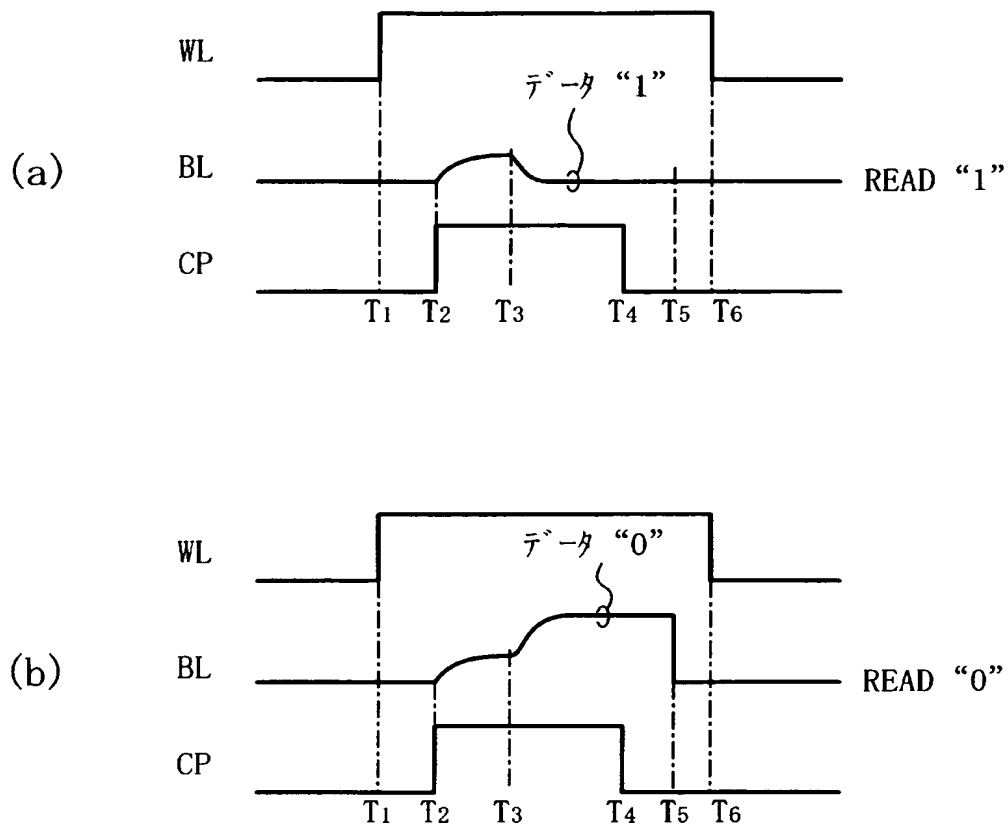
【図 11】



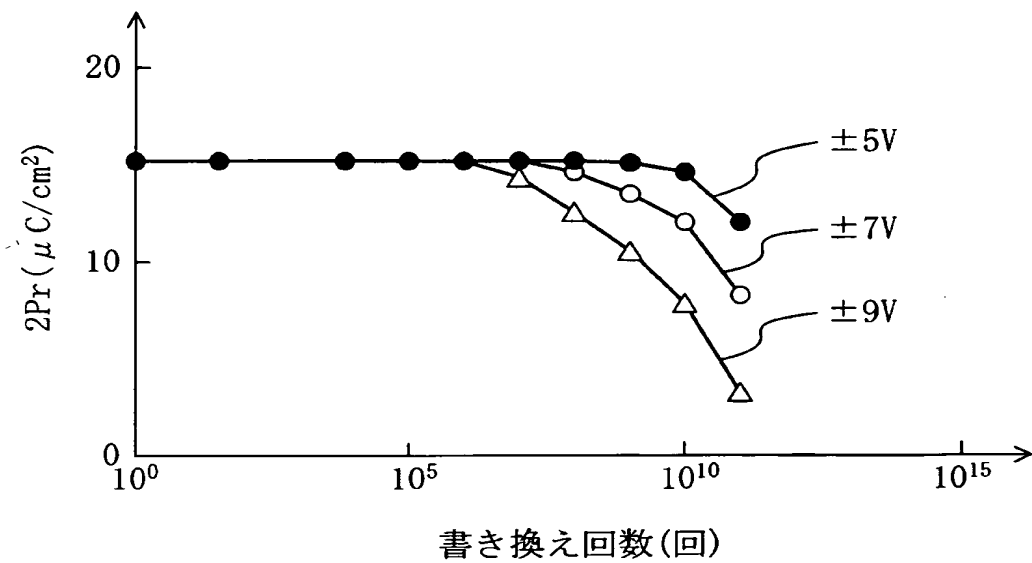
【図 12】



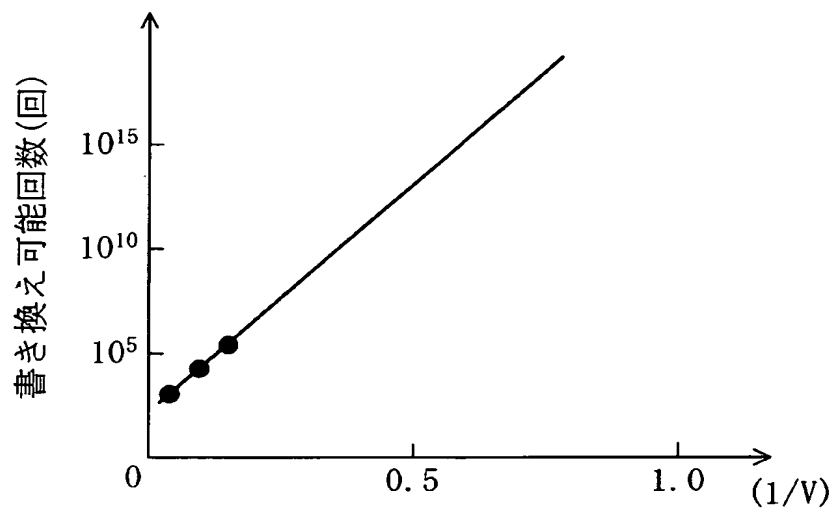
【図 13】



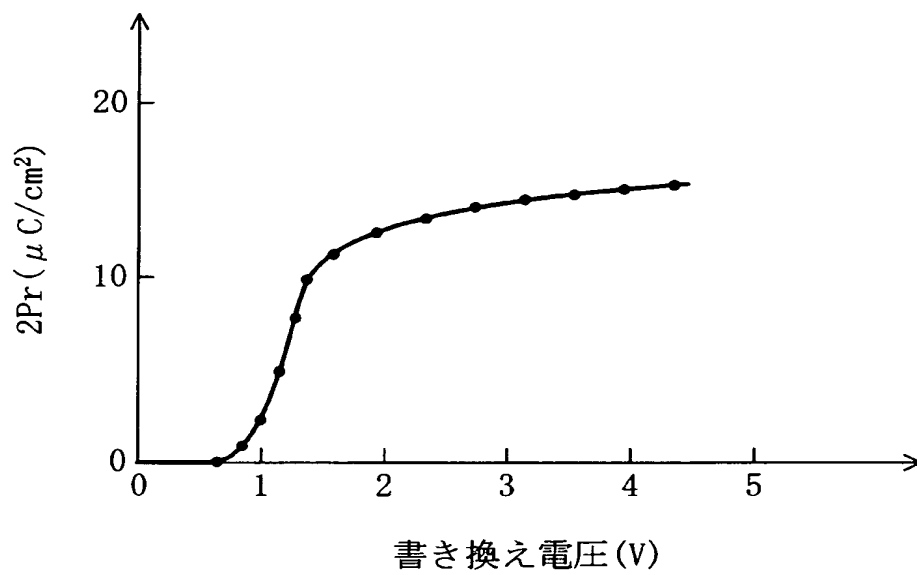
【図 14】



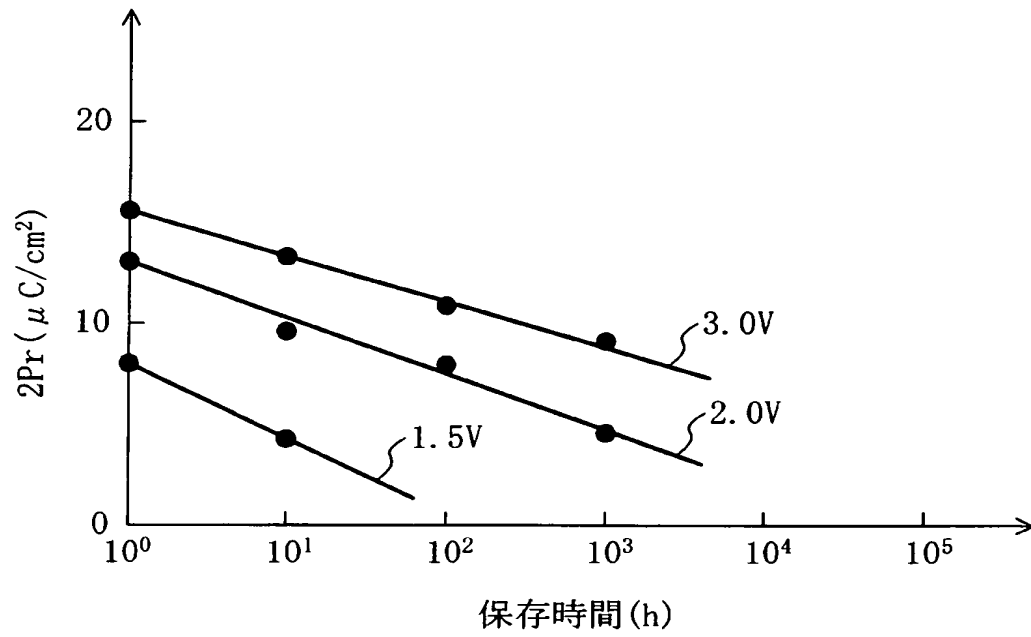
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 書き込み電圧を低くして強誘電体キャパシタの書き換え可能回数を増加させることと、データ保持の寿命を十分に長く確保することとの両立を図る。

【解決手段】 強誘電体キャパシタは、データ“1”に対しては2つの残留分極の偏位（点b及び点c）が対応し、データ“0”に対しては1つの残留分極の偏位（点a）が対応する。データ“1”を書き込む場合には、強誘電体キャパシタに、電圧の大きさ又はパルス幅が異なる2つの電気パルスのうちのいずれかを印加して、強誘電体キャパシタの残留分極の偏位が点b又は点cのいずれかになるようにする。一方、データ“0”を書き込む場合には、強誘電体キャパシタの残留分極の偏位が点aになるようにする。

【選択図】 図3



特願 2 0 0 2 - 3 0 2 6 1 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社